

IPW



Patent

Customer No. 31561
Application No.: 10/711,671
Docket No. 13693-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chiu et al.
Application No. : 10/711,671
Filed : Sep 30, 2004
For : METHOD AND APPARATUS FOR CONNECTING LPC
BUS AND SERIAL FLASH MEMORY
Examiner : N/A
Art Unit : 2186

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93117608,
filed on: 2004/6/18.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 20, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

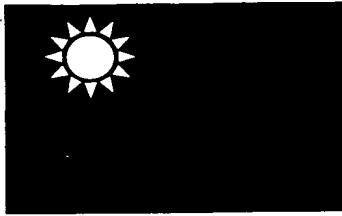
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 06 月 18 日
Application Date

申請案號：093117608 CERTIFIED COPY OF
Application No. PRIORITY DOCUMENT

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 10 月
Issue Date

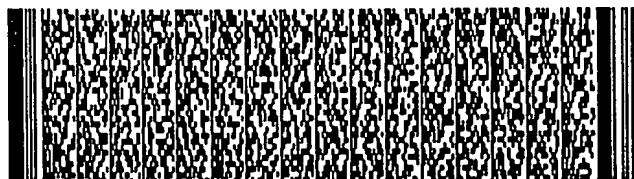
發文字號：09320949710
Serial No.

| | |
|----------------|-------|
| 申請日期：2004.6.18 | IPC分類 |
| 申請案號：93117608 | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|----------------------|---|
| 一、 發明名稱 | 中文 | 精簡接腳匯流排與序列式快閃記憶體之轉接方法與裝置 |
| | 英文 | Method and Apparatus for Connecting LPC Bus and Serial Flash Memory |
| 二、 發明人 (共1人) | 姓名 (中文) | 1. 邱躍程 |
| | 姓名 (英文) | 1. CHIU, YAO-CHENG |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (中文) | 1. 新竹科學工業園區研新三路四號 |
| | 住居所 (英文) | 1. NO. 4, CREATION ROAD III, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C. |
| 三、 申請人 (共1人) | 名稱或姓名 (中文) | 1. 華邦電子股份有限公司 |
| | 名稱或姓名 (英文) | 1. WINBOND ELECTRONICS CORP. |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中文) | 1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. NO. 4, CREATION ROAD III, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C. |
| | 代表人 (中文) | 1. 焦佑鈞 |
| | 代表人 (英文) | 1. CHIAO, ARTHUR Y. C. |



13693twf.pptd

四、中文發明摘要 (發明名稱：精簡接腳匯流排與序列式快閃記憶體之轉接方法與裝置)

一種精簡接腳匯流排與序列式快閃記憶體之轉接方法與裝置，用於在個人電腦系統中，提供精簡接腳匯流排與序列式快閃記憶體之間的介面轉換。主要步驟如下：首先，擷取一精簡接腳匯流排指令；然後將精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之序列指令，將序列指令輸出至一序列式快閃記憶體；自序列式快閃記憶體讀取一輸出資料，將輸出資料轉換為符合精簡接腳匯流排所要求之格式，並且輸出至精簡接腳匯流排。

五、英文發明摘要 (發明名稱：Method and Apparatus for Connecting LPC Bus and Serial Flash Memory)

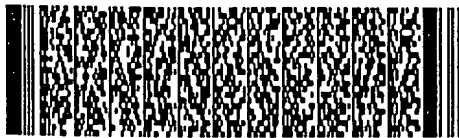
A method and an apparatus for connecting LPC bus and serial flash memory, whose purpose is providing interface conversion between LPC bus and serial flash memory in PC systems. The main steps of the method include: firstly, get an LPC instruction; and then convert the LPC instruction to a serial instruction conforming to the format accepted by a serial flash memory; output the



四、中文發明摘要 (發明名稱：精簡接腳匯流排與序列式快閃記憶體之轉接方法與裝置)

五、英文發明摘要 (發明名稱：Method and Apparatus for Connecting LPC Bus and Serial Flash Memory)

serial instruction to the serial flash memory; get the output data from the serial flash memory, convert the output data to a format accepted by the LPC bus, and finally output the data to the LPC bus.



六、指定代表圖

(一) 本案指定代表圖為：圖7

(二) 本代表圖之元件代表符號簡單說明：

- 201：精簡接腳匯流排
- 401：精簡接腳匯流排指令的開始訊號
- 402：精簡接腳匯流排指令的命令欄位
- 403：精簡接腳匯流排指令的位址欄位
- 404：精簡接腳匯流排指令的資料欄位
- 406：精簡接腳匯流排指令的輸出資料
- 407：精簡接腳匯流排指令的結束訊號
- 408：門鎖器
- 409：命令解碼器
- 410：位址比較組合器
- 411：資料比較組合器
- 701：計數器
- 702：並列轉序列裝置
- 703：序列轉並列裝置
- 704：序列輸出裝置
- 705：序列資料輸入線
- 706：序列資料輸出線
- 707：序列指令的命令欄位
- 708：序列指令的位址欄位
- 709：序列指令的資料欄位
- 710：序列指令的輸出資料
- 711：指令轉換裝置



六、指定代表圖

712 : 等待時間



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

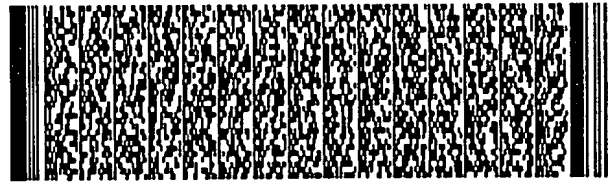
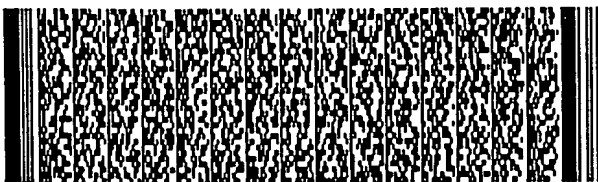
【發明所屬之技術領域】

本發明是關於一種使用於個人電腦系統的介面轉換方法與裝置，且特別是關於一種使用於精簡接腳匯流排的介面轉換方法與裝置。

【先前技術】

基本輸入輸出系統 (basic input/output system, 以下簡稱BIOS) 是個人電腦系統上，較傳統的技術，也是極為重要的一部份，不僅是個人電腦開機時最先執行的程式，也提供許多最低階的系統功能。少了它，個人電腦連開機都做不到。

圖1為BIOS在典型個人電腦系統中的架構方塊圖。中央處理單元 (central processing unit, 以下簡稱CPU) 101與北橋晶片 (north bridge) 104透過主匯流排 (host bus) 102彼此連接。北橋晶片104連接主匯流排102、圖形加速埠 (accelerated graphics port, 以下簡稱AGP) 103、記憶體105以及週邊控制介面匯流排 (peripheral control interface bus, 以下簡稱PCI匯流排) 106。PCI匯流排106連接PCI擴充槽107與南橋晶片 (south bridge) 108。南橋晶片108連接PCI匯流排106、工業磁碟電子 (industrial drive electronics, 以下簡稱IDE) 介面硬碟109以及工業標準架構匯流排 (industrial standard architecture bus, 以下簡稱ISA匯流排) 110。最後，ISA匯流排110連接南橋晶片108、BIOS 111以及多功能介面卡 (super I/O card) 112。其中多功能介面卡112是用



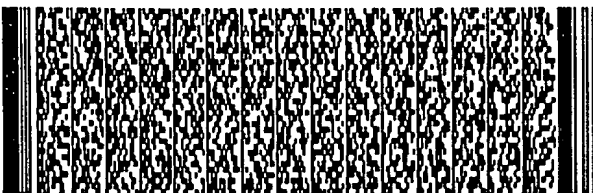
五、發明說明 (2)

來連接只支援傳統介面，並且介面傳輸速度較慢的週邊裝置，例如數據機(modem)、印表機(printer)、鍵盤(keyboard)、滑鼠(mouse)與搖桿(joystick)。

在此種架構中，標準的ISA匯流排需要49支接腳，時脈頻率為8MHz。但因為如今的個人電腦產業競爭激烈，成本越降越低，所以ISA匯流排開始被接腳數量較少、成本較低的精簡接腳匯流排(low pin count bus，即LPC bus)取代。精簡接腳匯流排僅需要9支接腳，時脈頻率則提高為33MHz，以彌補較低的傳輸接腳數。

不過，這樣一來，原本使用傳統ISA介面的BIOS就要另尋方法連接上個人電腦系統。有一種方法是透過多功能介面卡，如圖2所示。在圖2當中，原來的ISA匯流排110已經被精簡接腳匯流排201取代。ISA介面的BIOS 111則透過ISA匯流排203與支援精簡接腳匯流排的多功能介面卡202，連接到精簡接腳匯流排201。

有些廠商利用快閃記憶體(flash memory)來儲存BIOS，而傳統的快閃記憶體都是並列(parallel)介面。這種情況下，多功能介面卡的相關電路就如圖3所示。在圖3當中，多功能介面卡202包含三個裝置，其中精簡接腳匯流排解碼器301負責從精簡接腳匯流排201擷取指令，轉換成比較容易處理的格式後，發給功能模式控制器302以及匯流排轉換器303，此外也負責將並列式快閃記憶體304的輸出資料送回精簡接腳匯流排201；功能模式控制器302負責控制並列式快閃記憶體304的各種功能；而匯流排轉換



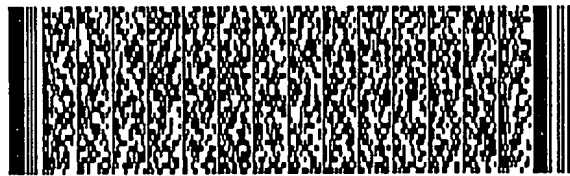
五、發明說明 (3)

器303負責將解碼後的指令輸出至ISA匯流排203，使並列式快閃記憶體304能接收，並且也負責接收來自並列式快閃記憶體304的輸出資料，將輸出資料送回精簡接腳匯流排解碼器301。

圖4繪示匯流排轉換器303的功能細節。在精簡接腳匯流排201上面出現的指令訊號，按照時間順序，從左到右分別是開始訊號401、命令欄位402、位址欄位403、資料欄位404（只出現於寫入指令中）、等待並列式快閃記憶體304執行指令並送回結果的等待時間405、輸出資料406（只在執行讀取指令後出現）、以及結束訊號407。

在匯流排轉換器303當中，精簡接腳匯流排指令的命令欄位402、位址欄位403、以及資料欄位404，會先被門鎖器(latch) 408擷取儲存，然後各自經過命令解碼器409、位址比較組合器410、以及資料比較組合器411，轉換成並列式快閃記憶體304能接受的格式，最後經過記憶體訊號轉換器412，輸出至並列式快閃記憶體304。至於執行讀取指令時，並列式快閃記憶體304輸出的資料，則一路回傳到精簡接腳匯流排201，成為輸出資料406。

圖5繪示並列式快閃記憶體304執行讀寫命令時，在精簡接腳匯流排201上面出現的訊號，以及它們的時序關係。在上方的精簡接腳匯流排201，繪示執行讀取命令時的指令訊號，首先是開始訊號401、命令欄位402、位址欄位403、結束訊號407、等待時間405、同步訊號501、輸出資料406、以及另一個結束訊號407。在下方的精簡接腳匯



五、發明說明 (4)

流排201，則繪示執行寫入命令時的指令訊號，首先是開始訊號401、命令欄位402、位址欄位403、資料欄位404、結束訊號407、等待時間405、同步訊號501、以及另一個結束訊號407。

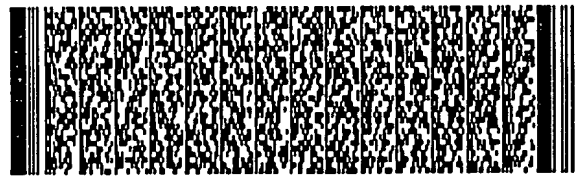
從圖5可以看出，無論讀取或寫入，在送出指令後，都有一段等待並列式快閃記憶體304執行完畢的等待時間405。和精簡接腳匯流排時脈訊號502以及ISA匯流排時脈訊號503比較之下，可以得知等待時間405的長度為4.5個ISA匯流排時脈週期，大約等於18個精簡接腳匯流排時脈週期。

如果想更進一步降低成本，可以用接腳數量較少的序列式(serial)快閃記憶體存放BIOS。這樣做的問題是目前沒有方法，可讓序列式快閃記憶體連接精簡接腳匯流排，也沒有現成的多功能介面卡，可供連接序列式快閃記憶體。因此，我們需要一種新技術，能同時使用精簡接腳匯流排與序列式快閃記憶體，以更進一步降低個人電腦系統成本。

【發明內容】

本發明的目的是提供一種精簡接腳匯流排與序列式快閃記憶體之轉接方法與裝置，可用接腳數量較少的序列式快閃記憶體，取代傳統的並列式快閃記憶體，連接精簡接腳匯流排。優點是降低成本，簡化設計，並且減少故障機率。

為了克服序列式在資料傳輸速度上，較並列式要慢的



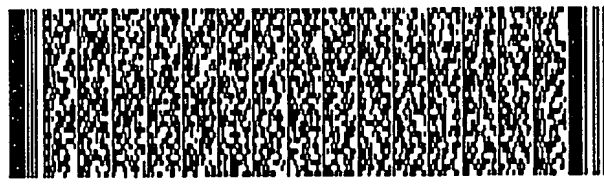
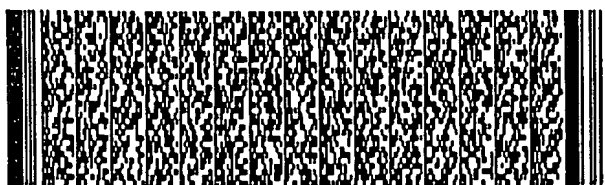
五、發明說明 (5)

缺點，另外在精簡接腳匯流排與序列式快閃記憶體之轉接方法中，提供快速擷取與輸出的功能，達到與並列式快閃記憶體相同的傳輸速度。

為達成上述及其他目的，本發明提出一種精簡接腳匯流排與序列式快閃記憶體之轉接方法，包括下列步驟：擷取一精簡接腳匯流排指令；然後將精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之一序列指令，其適用於記憶體中最常使用到的單一位元組〔1 byte〕的寫入或讀取。

在快速擷取與輸出的功能中，由於序列式快閃記憶體以時鐘〔clock〕區隔的方式來達成位址與資料腳數的精簡，若原先有24條位址線，現在雖然可以由一條訊號線完全取代但是相對的也多了24個時鐘的時間。為了提高效率，我們依據電腦CPU的處理效率〔8*N bits〕配合以N個位元組為單元來作為緩衝處理的較佳組合，加上序列式快閃記憶體有連續讀取或寫入的功能。下一筆資料的位址，是這筆資料的相對應的位址加一。以N個位元組為單元，同時在序列式快閃記憶體讀取與寫入的好處是，N筆位元組資料，在位址輸出與對應上只用了一個位元組的時間，以下有更詳細的圖文解說。

從另一觀點來看，本發明另提出一種精簡接腳匯流排與序列式快閃記憶體之轉接裝置，包括：一門鎖器，暫存並輸出自一精簡接腳匯流排傳來的一精簡接腳匯流排指令；一指令轉換裝置，接收門鎖器所輸出之精簡接腳匯流



五、發明說明 (6)

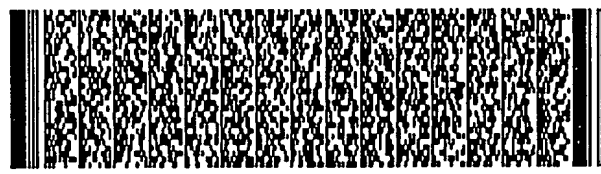
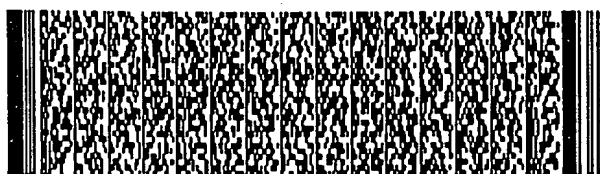
排指令，將它轉換為符合序列式快閃記憶體所要求格式之一序列指令，並輸出此序列指令；一並列轉序列裝置，接收並記錄指令轉換裝置所輸出之序列指令，若此序列指令為一讀取指令，則在並列訊號轉換為序列訊號輸出後，可一次儲存M筆序列資料至暫存器，再慢慢讀出至精簡接腳匯流排，若此序列指令為一寫入指令，則累積記錄至N個寫入指令後，將這些寫入指令合併，由並列訊號轉換為序列訊號輸出，其中M與N皆為預設之正整數，可以相等也可以不相等；一序列輸出裝置，耦接於並列轉序列裝置與一序列式快閃記憶體之間，將並列轉序列裝置所輸出的序列訊號，輸出至序列式快閃記憶體；以及一序列轉並列裝置，自序列式快閃記憶體接收回應精簡接腳匯流排指令所需要的輸出資料，將輸出資料轉換為符合精簡接腳匯流排所要求之格式，並輸出至精簡接腳匯流排。

本發明提出的方法與裝置，可讓序列式快閃記憶體連接精簡接腳匯流排，取代傳統的並列式快閃記憶體。由於序列式快閃記憶體的接腳數量比並列式較少，個人電腦系統中相配合的接腳與排線數量也隨之減少，因此可達到簡化設計、降低成本、並且減少故障機率的優點。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明提出的裝置與方法，可讓序列式快閃記憶體

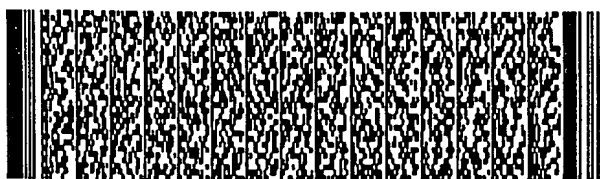


五、發明說明 (7)

(serial flash memory)，在使用精簡接腳匯流排 (low pin count bus，即LPC bus) 的個人電腦系統中，取代傳統的並列式快閃記憶體(parallel flash memory)。並列式快閃記憶體有32支接腳，而序列式快閃記憶體僅有8支接腳，因為接腳數大量減少，可以簡化個人電腦系統的設計，降低成本，並且降低故障機率。

以下說明本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一個實施例。在本實施例的連接裝置是一張多功能介面卡(super I/O card)，圖6繪示多功能介面卡上的相關元件。在圖6當中，多功能介面卡601包含三個元件，其中精簡接腳匯流排解碼器301負責從精簡接腳匯流排201擷取指令，轉換成比較容易處理的格式後，發給功能模式控制器302以及序列匯流排轉換器602，此外也負責將序列式快閃記憶體604的輸出資料送回精簡接腳匯流排201；功能模式控制器302負責控制序列式快閃記憶體604的各種功能；而序列匯流排轉換器602負責將解碼後的指令輸出至序列匯流排603，使序列式快閃記憶體604能接收，並且也負責接收來自序列式快閃記憶體604的輸出資料，將輸出資料送回精簡接腳匯流排解碼器301。

圖7繪示序列匯流排轉換器602的功能細節。在精簡接腳匯流排201上面出現的指令訊號，除了等待時間712的長度與圖4的等待時間405不同之外，其餘訊號皆與圖4繪示的相同，此處不予贅述。至於等待時間712和等待時間405的差別，後面會有說明。



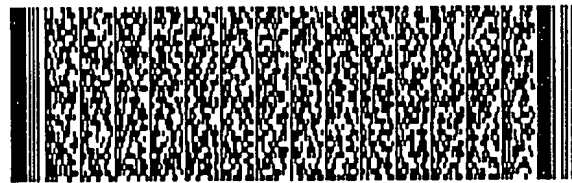
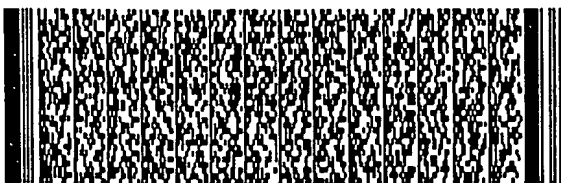
五、發明說明 (8)

在序列匯流排轉換器602當中，精簡接腳匯流排指令的命令欄位402、位址欄位403、以及資料欄位404，會先被門鎖器(latch) 408擷取儲存，然後各自經過指令轉換裝置711所包含的命令解碼器409、位址比較組合器410、以及資料比較組合器411，轉換成符合序列式快閃記憶體604所要求格式的序列指令。接下來序列指令會在並列轉序列裝置702，從並列訊號轉換為序列訊號，然後經過序列輸出裝置704，輸出到序列資料輸入線(serial data in) 705，由序列式快閃記憶體604接收。

如果目前的序列指令為一寫入指令，則序列資料輸入線705上會依次出現序列指令的命令欄位707、位址欄位708、以及資料欄位709。如果目前的序列指令為讀取指令，則不會出現資料欄位709。序列式快閃記憶體604收到讀取命令後，會送出輸出資料710至序列資料輸出線(serial data out) 706。然後輸出資料710會被序列轉並列裝置703接收，從序列訊號轉換成適合精簡接腳匯流排201的格式後輸出，成為精簡接腳匯流排指令的輸出資料406。

最後，計數器701的作用為接收精簡接腳匯流排201所提供的時脈訊號，計算並輸出時脈訊號的週期數至並列轉序列裝置702與序列轉並列裝置703，藉以區分序列指令的命令欄位707、位址欄位708與資料欄位709。

圖8繪示序列式快閃記憶體604執行讀寫命令時，在精簡接腳匯流排201上面出現的指令訊號，與出現在序列資



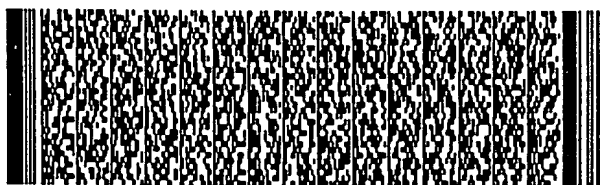
五、發明說明 (9)

料輸入線705和序列資料輸出線706上面的指令訊號，以及它們之間的時序關係。在上方的精簡接腳匯流排201，繪示執行讀取命令時的指令訊號，在下方的精簡接腳匯流排201，則繪示執行寫入命令時的指令訊號，除了等待時間712和繪示於圖5的等待時間405長度不同之外，其餘出現在精簡接腳匯流排201上面的訊號皆與圖5相同，因此不予贅述。

值得注意的是，圖5的等待時間405的長度是18個精簡接腳匯流排時脈週期，而圖8的等待時間712則長達46個精簡接腳匯流排時脈週期。由於序列式快閃記憶體的接腳數量較少，因此犧牲了傳輸頻寬，如果只採取單純的讀寫，速度將與並列式快閃記憶體相差甚遠。本裝置的對策是將單純的讀取和寫入，改進為快速讀取和快速寫入，以下說明這兩項功能。

快速讀取和快速寫入，是由並列轉序列裝置702和序列轉並列裝置703負責，圖9繪示並列轉序列裝置702的細部架構，而圖10則繪示序列轉並列裝置703的細部架構。

所謂快速讀取，就是當CPU的處理效率為 $8*N$ 位元時，配合以 N 個位元組(byte)為單元來作為緩衝處理的較佳組合，一次讀取 N 個位元組儲存起來，然後逐一輸出，藉以縮短等待時間。本實施例以CPU為32位元為例，取四個位元組來作緩衝處理。請參照圖9與圖10。每當並列轉序列裝置702接收到一個讀取資料的序列指令時，先讓序列指令的位址欄位708通過資料組位址產生器901，由於四個位

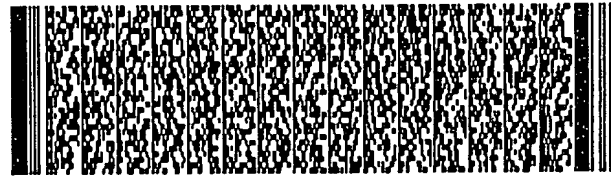


五、發明說明 (10)

元組為一單元，所以兩個最低有效位元可以區隔出四個不同位元組，若以單元來看，忽略兩個最低有效位元，產生並輸出一個資料組位址，然後這個資料組位址會和前次讀取位址暫存器902儲存的一個前次讀取位址，一同輸入至比較器903，比較這兩個位址是否相等。如果不相等，整批讀取裝置904會利用序列指令的命令欄位707和位址欄位708，發出指令至序列式快閃記憶體，從目前的位址欄位708，也就是目前的讀取位址開始，一次讀取四個位元組。讀取暫存器1001會接收並儲存這四個位元組。此外，前次讀取位址暫存器902會以目前的資料組位址，取代它內部儲存的前次讀取位址。

接下來，無論比較器903的比較結果是否相等，讀取暫存器1001都會輸出對應位址欄位708的一個位元組。實際上，讀取暫存器1001是根據計數器701輸出的時脈週期數，判斷該輸出哪一個位元組。以後的讀取指令，只要資料組位址和前次讀取位址暫存器902內部儲存的位址相等，表示是同一單元的資料，而且資料已經事先存取完成，故整批讀取裝置904就不會有動作，而讀取暫存器1001仍然會輸出一個對應的位元組。如此一來，就能做到一次讀取，逐一輸出。

快速讀取對於等待時間的影響就如圖11所示，假設精簡接腳匯流排201上，連續出現第一讀取指令1101、第二讀取指令1102、第三讀取指令1103、以及第四讀取指令1104，讀取位址連續的四個位元組，因此這四個讀取指令



五、發明說明 (11)

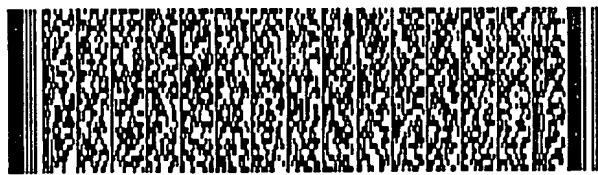
有相同的資料組位址。第一讀取指令1101因為要等待序列式快閃記憶體輸出四個位元組，因此有一段很長的等待時間1105，長度為69個精簡接腳匯流排時脈週期，而後面的三個讀取指令只需要從讀取暫存器1001取得資料，因此它們的等待時間1106非常短，只有1個精簡接腳匯流排時脈週期。四個讀取指令的平均等待時間為：

$$(69 + 3) / 4 = 18 \text{ 個精簡接腳匯流排時脈週期。}$$

如此可知，快速讀取的平均等待時間，等於並列式快閃記憶體的讀取等待時間，這方面序列式快閃記憶體毫不遜色。

至於快速寫入，和快速讀取是一樣的觀念，也就是逐一儲存要寫入的位元組，然後整批寫入序列式快閃記憶體，藉以縮短等待時間。請參照圖9。每當有寫入資料的序列指令時，寫入暫存器905會先儲存序列指令的資料欄位709。等到序列指令的位址欄位708的兩個最低有效位元皆為1，也就是已經集滿四個位元組之後，整批寫入裝置906會接收這四個位元組，以及序列指令的命令欄位707和位址欄位708，然後發出指令至序列式快閃記憶體，將這四個位元組一次寫入。

快速寫入對於等待時間的影響就如圖12所示，假設精簡接腳匯流排201上，連續出現第一寫入指令1201、第二寫入指令1202、第三寫入指令1203、以及第四寫入指令1204，寫入位址連續的四個位元組。前面三個寫入指令只要把資料存入寫入暫存器905即可，因此它們的等待時間



五、發明說明 (12)

1206 非常短，只有1個精簡接腳匯流排時脈週期，至於第四寫入指令1204，因為要寫入四個位元組到序列式快閃記憶體，因此有一段很長的等待時間1205，長度為58個精簡接腳匯流排時脈週期。四個寫入指令的平均等待時間為：

$$(58 + 3) / 4 \div 15.3 \text{ 個精簡接腳匯流排時脈週期。}$$

如此可知，快速寫入的平均等待時間，小於並列式快閃記憶體的寫入等待時間，這方面序列式快閃記憶體的速度反而更快。

在本實施例中，快速讀取是一次從序列式快閃記憶體讀取四個位元組，快速寫入也是一次寫入四個位元組。實際上這個數量可以不相等。

以下說明本發明提出的，精簡接腳匯流排與序列式快閃記憶體之轉接方法的一個實施例，圖13為本實施例的快速讀取與快速寫入的流程圖。首先，步驟1302會從精簡接腳匯流排擷取一個精簡接腳匯流排指令，然後步驟1303會將精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之序列指令。步驟1304會計算精簡接腳匯流排所提供的時脈訊號的週期數，以區分上述序列指令的命令欄位、位址欄位與資料欄位。

區分序列指令的欄位後，步驟1306會判斷序列指令的種類。如果是寫入指令，步驟1308會記錄序列指令的資料欄位，然後步驟1310會判斷序列指令位址欄位的2個最低有效位元是否皆為1。如果不是，本實施例的流程到此結束。如果是，步驟1312會輸出序列指令的命令欄位與位址

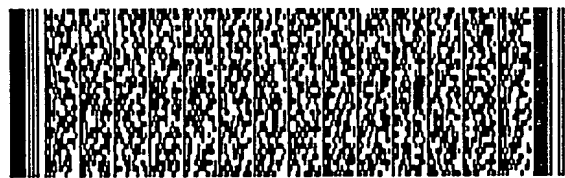


五、發明說明 (13)

欄位至序列式快閃記憶體，然後步驟1314會依記錄順序，輸出之前4個寫入指令的資料欄位至序列式快閃記憶體。

如果在步驟1306判斷出目前的序列指令為一讀取指令，接下來，步驟1316會將序列指令輸出至序列式快閃記憶體，步驟1318會擷取序列指令的位址欄位，忽略2個最低有效位元，以剩餘部分做為資料組位址，然後步驟1320會判斷資料組位址是否等於前次讀取位址。如果是，就跳過步驟1322，直接進行步驟1324。如果不是，步驟1322會自序列式快閃記憶體讀取除2個最低有效位元之外，位址與資料組位址相同的4個位元組，加以記錄，並以資料組位址取代前次讀取位址。然後步驟1324會輸出4個位元組當中，對應於序列指令位址欄位的位元組，做為輸出資料，步驟1326會將輸出資料轉換為符合精簡接腳匯流排所要求之格式。最後，步驟1328會將轉換格式後的輸出資料輸出至精簡接腳匯流排。

以上是快速讀取與寫入模式下的運作，至於一般讀取與寫入模式的流程請參照圖14。和快速模式相比之下，一般模式的流程是簡單而直接，前三個步驟和快速模式相同，差別從步驟1402開始。在區分序列指令的欄位之後，步驟1402會將序列指令輸出至序列式快閃記憶體，然後步驟1404會接收序列式快閃記憶體回應的輸出資料，步驟1406會將輸出資料轉換為符合精簡接腳匯流排所要求的格式，最後，步驟1408會將轉換格式後的輸出資料輸出至精簡接腳匯流排。

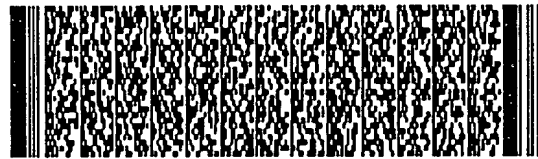
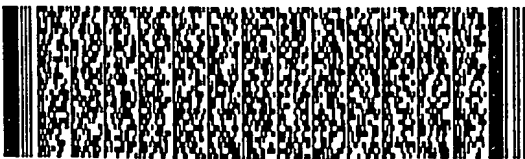


五、發明說明 (14)

在這個方法的實施例中，讀取資料是一次從序列式快閃記憶體讀取四個位元組，寫入資料也是一次寫入四個位元組。實際上一次讀取和一次寫入的數量不必相同。

由以上說明與範例可知，本發明的提出的方法與裝置，可讓序列式快閃記憶體，取代傳統的並列式快閃記憶體。因為序列式快閃記憶體的接腳數量少很多，因此可簡化個人電腦系統的設計，降低成本與故障機率。而且有了快速讀取與快速寫入兩項功能，序列式快閃記憶體的平讀取時間已經不遜於並列式快閃記憶體，而平均寫入時間更是快過並列式快閃記憶體，因此可完全取而代之。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1為使用ISA匯流排的典型個人電腦系統架構圖。

圖2為使用精簡接腳匯流排的典型個人電腦系統架構圖。

圖3為連接並列式快閃記憶體的多功能介面卡架構圖。

圖4為精簡接腳匯流排與並列式快閃記憶體的介面詳細圖解。

圖5為並列式快閃記憶體執行讀寫指令時，出現於精簡接腳匯流排的指令訊號與其時序關係。

圖6為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，連接序列式快閃記憶體的多功能介面卡架構圖。

圖7為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，精簡接腳匯流排與序列式快閃記憶體的介面詳細圖解。

圖8為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，序列式快閃記憶體執行讀寫指令時，出現於精簡接腳匯流排的指令訊號與其時序關係。

圖9為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，並列轉序列裝置的細部架構圖。

圖10為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，序列轉並列裝置的細部



圖式簡單說明

架構圖。

圖11為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，快速讀取功能的指令訊號與時序圖解。

圖12為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接裝置的一實施例當中，快速寫入功能的指令訊號與時序圖解。

圖13為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接方法的一實施例的快速讀取與快速寫入流程圖。

圖14為本發明提出的精簡接腳匯流排與序列式快閃記憶體之轉接方法的一實施例的一般讀取與一般寫入流程圖。

【圖式標示說明】

101：CPU

102：主匯流排

103：AGP

104：北橋晶片

105：記憶體

106：PCI匯流排

107：PCI擴充槽

108：南橋晶片

109：IDE硬碟

110：ISA匯流排



圖式簡單說明

- 111 : BIOS
- 112 : 多 功 能 介 面 卡
- 201 : 精 簡 接 腳 匯 流 排
- 202 : 多 功 能 介 面 卡
- 203 : ISA 匯 流 排
- 301 : 精 簡 接 腳 匯 流 排 解 碼 器
- 302 : 功 能 模 式 控 制 器
- 303 : 匯 流 排 轉 換 器
- 304 : 並 列 式 快 閃 記 憶 體
- 401 : 精 簡 接 腳 匯 流 排 指 令 的 開 始 訊 號
- 402 : 精 簡 接 腳 匯 流 排 指 令 的 命 令 欄 位
- 403 : 精 簡 接 腳 匯 流 排 指 令 的 位 址 欄 位
- 404 : 精 簡 接 腳 匯 流 排 指 令 的 資 料 欄 位
- 405 : 精 簡 接 腳 匯 流 排 指 令 的 等 待 時 間
- 406 : 精 簡 接 腳 匯 流 排 指 令 的 輸 出 資 料
- 407 : 精 簡 接 腳 匯 流 排 指 令 的 結 束 訊 號
- 408 : 門 鎖 器
- 409 : 命 令 解 碼 器
- 410 : 位 址 比 較 組 合 器
- 411 : 資 料 比 較 組 合 器
- 412 : 記 憶 體 訊 號 轉 換 器
- 501 : 同 步 訊 號
- 502 : 精 簡 接 腳 匯 流 排 時 脈 訊 號
- 503 : ISA 匯 流 排 時 脈 訊 號



圖式簡單說明

- 601 : 連接序列式快閃記憶體的多功能介面卡
- 602 : 序列匯流排轉換器
- 603 : 序列匯流排
- 604 : 序列式快閃記憶體
- 701 : 計數器
- 702 : 並列轉序列裝置
- 703 : 序列轉並列裝置
- 704 : 序列輸出裝置
- 705 : 序列資料輸入線
- 706 : 序列資料輸出線
- 707 : 序列指令的命令欄位
- 708 : 序列指令的位址欄位
- 709 : 序列指令的資料欄位
- 710 : 序列指令的輸出資料
- 711 : 指令轉換裝置
- 712 : 等待時間
- 901 : 資料組位址產生器
- 902 : 前次讀取位址暫存器
- 903 : 比較器
- 904 : 整批讀取裝置
- 905 : 寫入暫存器
- 906 : 整批寫入裝置
- 1001 : 讀取暫存器
- 1101 : 第一讀取指令



圖式簡單說明

- 1102 : 第二讀取指令
- 1103 : 第三讀取指令
- 1104 : 第四讀取指令
- 1105、1106 : 等待時間
- 1201 : 第一寫入指令
- 1202 : 第二寫入指令
- 1203 : 第三寫入指令
- 1204 : 第四寫入指令
- 1205、1206 : 等待時間
- 1302 : 自精簡接腳匯流排擷取一精簡接腳匯流排指令
- 1303 : 將精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之序列指令
- 1304 : 計算精簡接腳匯流排所提供的時脈訊號的週期數，以區分序列指令的命令欄位、位址欄位與資料欄位
- 1306 : 判斷序列指令種類
- 1308 : 記錄序列指令的資料欄位
- 1310 : 序列指令位址欄位的2個最低有效位元皆為1？
- 1312 : 輸出序列指令的命令欄位與位址欄位至序列式快閃記憶體
- 1314 : 依記錄順序輸出之前4個寫入指令的資料欄位至序列式快閃記憶體
- 1316 : 將序列指令輸出至序列式快閃記憶體
- 1318 : 擷取序列指令的位址欄位，去掉2個最低有效位元，以剩餘部分做為資料組位址



圖式簡單說明

1320 : 資料組位址等於前次讀取位址？

1322 : 自序列式快閃記憶體讀取除2個最低有效位元之外，位址與資料組位址相同的4個位元組，加以記錄，並以資料組位址取代前次讀取位址

1324 : 輸出4個位元組當中，對應於序列指令位址欄位的位元組，做為輸出資料

1326 : 將輸出資料轉換為符合精簡接腳匯流排所要求之格式

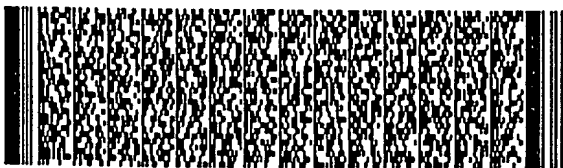
1328 : 將轉換格式後的輸出資料輸出至精簡接腳匯流排

1402 : 將序列指令輸出至序列式快閃記憶體

1404 : 接收序列式快閃記憶體回應的輸出資料

1406 : 將輸出資料轉換為符合精簡接腳匯流排所要求之格式

1408 : 將轉換格式後的輸出資料輸出至精簡接腳匯流排



六、申請專利範圍

1. 一種精簡接腳匯流排與序列式快閃記憶體之轉接方法，包括下列步驟：

(a) 擷取一精簡接腳匯流排指令；

(b) 將該精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之一序列指令；

(c) 若該序列指令為一寫入指令，則記錄該序列指令，累積至N個寫入指令後，一次合併輸出至一序列式快閃記憶體，其中N為預設之正整數；

(d) 若該序列指令為一讀取指令，則自該序列式快閃記憶體一次讀取M個位元組，並逐一輸出該些位元組，其中M為預設之正整數；

(e) 將回應該精簡接腳匯流排指令所需的一輸出資料轉換為符合精簡接腳匯流排所要求之格式；以及

(f) 將轉換格式後之該輸出資料輸出至精簡接腳匯流排。

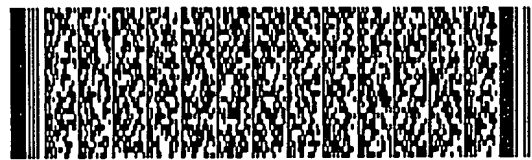
2. 如申請專利範圍第1項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，更包括：

計算該精簡接腳匯流排所提供的時脈訊號的週期數，以區分該序列指令之命令欄位、位址欄位與資料欄位。

3. 如申請專利範圍第1項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中步驟(c)包括：

記錄該序列指令之資料欄位與之前多數個寫入指令之資料欄位；以及

若已經累積記錄至N個資料欄位，則輸出該序列指令



六、申請專利範圍

之命令欄位與位址欄位至該序列式快閃記憶體，並依記錄順序輸出記錄中之該些資料欄位至該序列式快閃記憶體。

4. 如申請專利範圍第1項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中M等於CPU處理效率除以8為較佳設定。

5. 如申請專利範圍第1項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中N等於CPU處理效率除以8為較佳設定。

6. 一種精簡接腳匯流排與序列式快閃記憶體之轉接方法，包括下列步驟：

(a) 擷取一精簡接腳匯流排指令；

(b) 將該精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之一序列指令；

(c) 將該序列指令輸出至一序列式快閃記憶體；以及

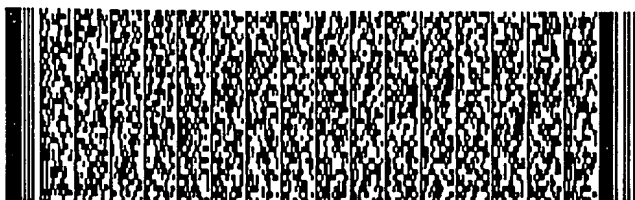
(d) 接收該序列式快閃記憶體所輸出之一輸出資料，轉換該輸出資料的格式，並輸出轉換格式後的該輸出資料至該精簡接腳匯流排。

7. 如申請專利範圍第6項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，更包括：

計算該精簡接腳匯流排所提供的時脈訊號的週期數，以區分該序列指令之命令欄位、位址欄位與資料欄位。

8. 如申請專利範圍第6項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中步驟(d)包括：

若該序列指令為一讀取指令，則自該序列式快閃記憶



六、申請專利範圍

體一次讀取M個位元組，並逐一輸出該些位元組，其中M為預設之正整數；

將輸出之該位元組轉換為符合精簡接腳匯流排所要求之格式；以及

將轉換格式後之該位元組輸出至該精簡接腳匯流排。

9. 如申請專利範圍第8項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中M等於CPU處理效率除以8為較佳設定。

10. 如申請專利範圍第6項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中若該序列指令為一寫入指令，則步驟(c)包括：

記錄該序列指令之資料欄位與之前多數個寫入指令之資料欄位；以及

若已經累積記錄至N個資料欄位，則輸出該序列指令之命令欄位與位址欄位至該序列式快閃記憶體，並依記錄順序輸出記錄中之該些資料欄位至該序列式快閃記憶體，其中N為預設之正整數。

11. 如申請專利範圍第10項所述之精簡接腳匯流排與序列式快閃記憶體之轉接方法，其中N等於CPU處理效率除以8為較佳設定。

12. 一種精簡接腳匯流排與序列式快閃記憶體之轉接裝置，包括：

一門鎖器，暫存並輸出自一精簡接腳匯流排傳來的一精簡接腳匯流排指令；



六、申請專利範圍

一 指令轉換裝置，接收該門鎖器所輸出之該精簡接腳匯流排指令，將該精簡接腳匯流排指令，轉換為符合序列式快閃記憶體所要求格式之一序列指令，並輸出該序列指令；

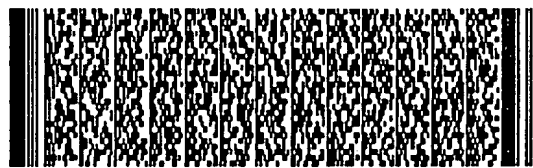
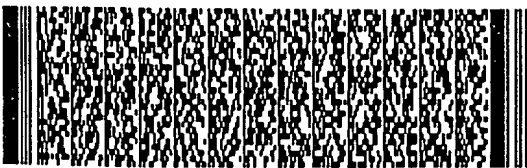
一 並列轉序列裝置，接收並記錄該指令轉換裝置所輸出之該序列指令，若該序列指令為一讀取指令，則累積記錄至M個讀取指令後，合併該些讀取指令，並且將合併後的指令由並列訊號轉換為序列訊號輸出，若該序列指令為一寫入指令，則累積記錄至N個寫入指令後，合併該些寫入指令，並且將合併後的指令由並列訊號轉換為序列訊號輸出，其中M與N皆為預設之正整數；

一 序列輸出裝置，耦接於該並列轉序列裝置與一序列式快閃記憶體之間，將該並列轉序列裝置所輸出的序列訊號，輸出至該序列式快閃記憶體；以及

一 序列轉並列裝置，自該序列式快閃記憶體接收回應該精簡接腳匯流排指令所需的一輸出資料，將該輸出資料轉換為符合該精簡接腳匯流排所要求之格式，並將轉換格式後之該輸出資料輸出至該精簡接腳匯流排。

13. 如申請專利範圍第12項所述之精簡接腳匯流排與序列式快閃記憶體之轉接裝置，其中該指令轉換裝置更包括：

一 命令解碼器，耦合於該門鎖器與該並列轉序列裝置之間，將該精簡接腳匯流排指令之命令欄位轉換為該序列指令之命令欄位；



六、申請專利範圍

一位址比較組合器，耦合於該門鎖器與該並列轉序列裝置之間，將該精簡接腳匯流排指令之位址欄位轉換為該序列指令之位址欄位；以及

一資料比較組合器，耦合於該門鎖器與該並列轉序列裝置之間，將該精簡接腳匯流排指令之資料欄位轉換為該序列指令之資料欄位。

14. 如申請專利範圍第12項所述之精簡接腳匯流排與序列式快閃記憶體之轉接裝置，更包括：

一計數器，其作用為接收該精簡接腳匯流排所提供之一時脈訊號，計算並輸出該時脈訊號之週期數，至該並列轉序列裝置與該序列轉並列裝置，藉以區分該序列指令之命令欄位、位址欄位與資料欄位。

15. 如申請專利範圍第12項所述之精簡接腳匯流排與序列式快閃記憶體之轉接裝置，其中該序列轉並列裝置更包括：

一讀取暫存器，當該序列指令為一讀取指令時，自該序列式快閃記憶體一次接收M個位元組，將該些位元組逐一轉換格式，並輸出至該精簡接腳匯流排。

16. 如申請專利範圍第12項所述之精簡接腳匯流排與序列式快閃記憶體之轉接裝置，其中該並列轉序列裝置更包括：

一整批讀取裝置，接收該序列指令之命令欄位與位址欄位，並發出指令，自該序列式快閃記憶體，一次讀取M個位元組；



六、申請專利範圍

一 寫入暫存器，若該序列指令為一寫入指令，則接收該序列指令之資料欄位，儲存該序列指令之資料欄位與之前 $N-1$ 個寫入指令之資料欄位，並依儲存順序輸出該些資料欄位；以及

一整批寫入裝置，接收該寫入暫存器所輸出之該些資料欄位，以及該序列指令之命令欄位與位址欄位，若該序列指令為一寫入指令，則輸出該序列指令之命令欄位與位址欄位，與該些資料欄位至該序列式快閃記憶體。

17. 如申請專利範圍第12項所述之精簡接腳匯流排與序列式快閃記憶體之轉接裝置，其中 M 等於CPU處理效率除以8為較佳設定。

18. 如申請專利範圍第12項所述之精簡接腳匯流排與序列式快閃記憶體之轉接裝置，其中 N 等於CPU處理效率除以8為較佳設定。



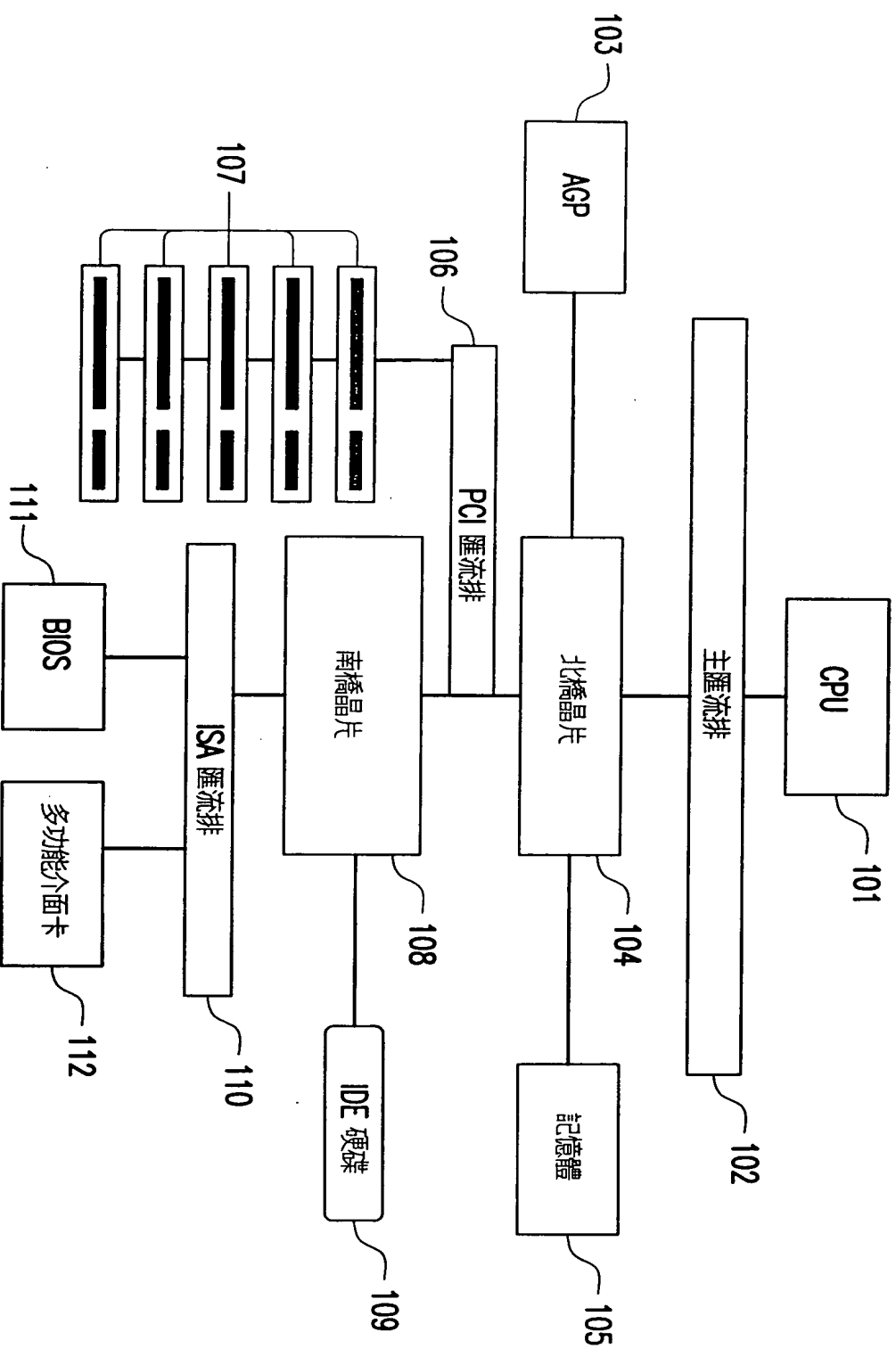


圖 1

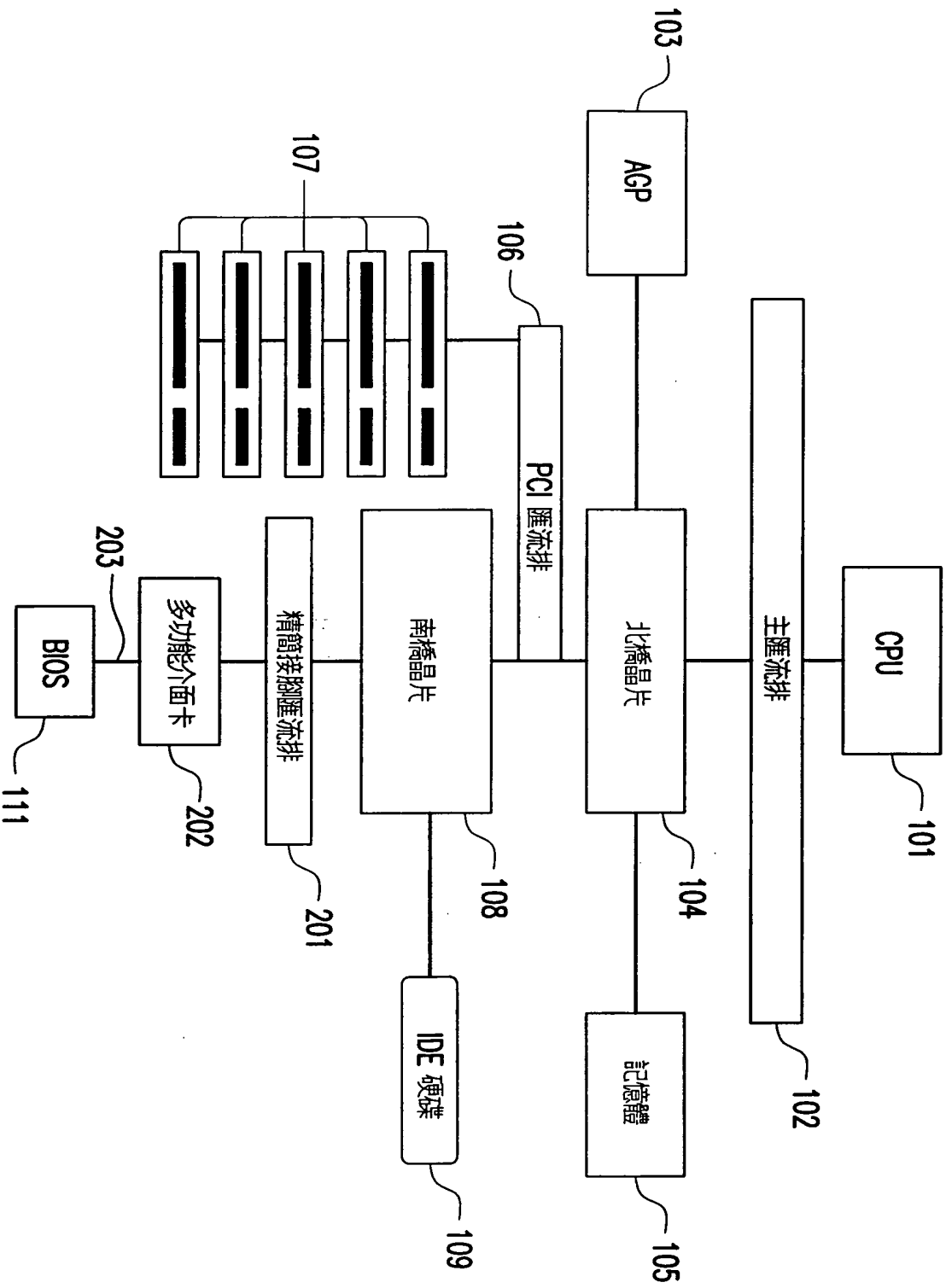


圖 2

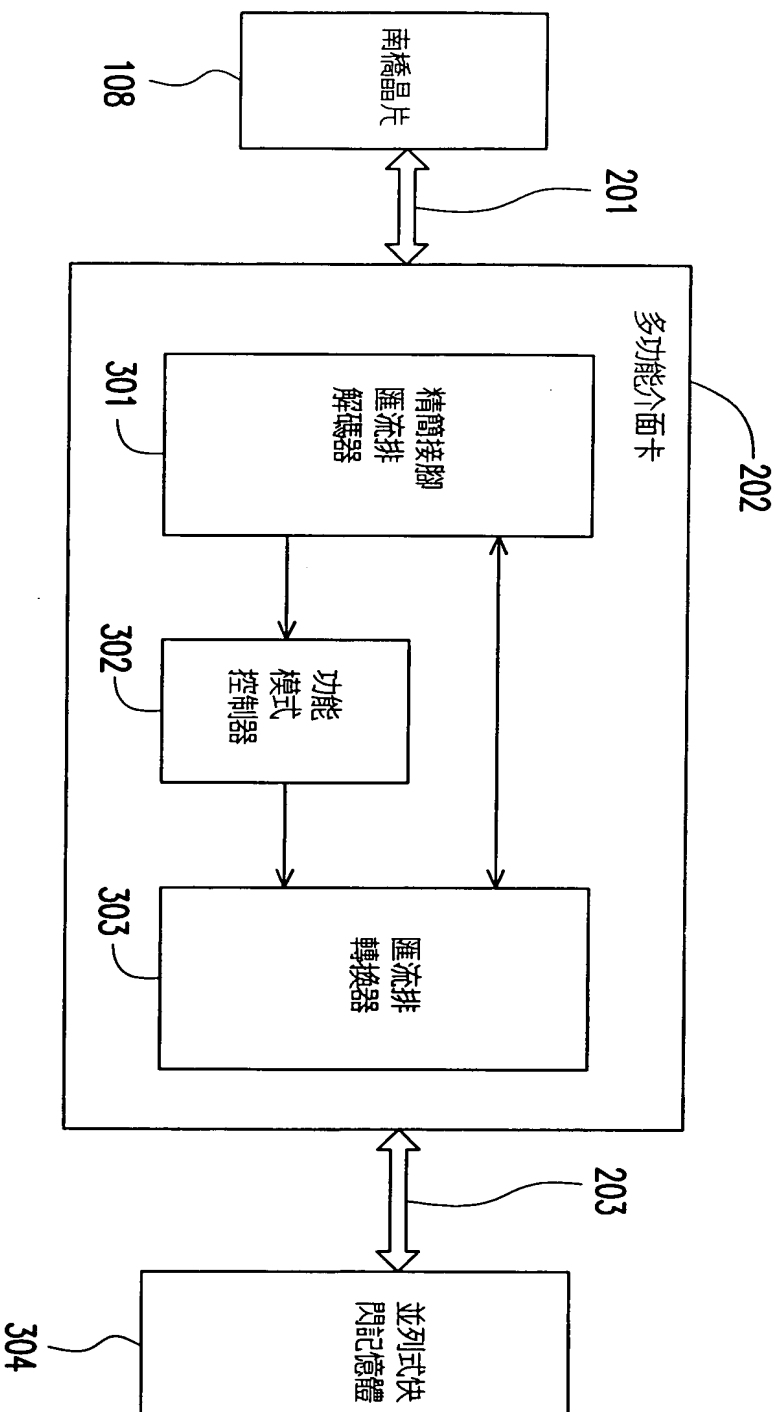


圖 3

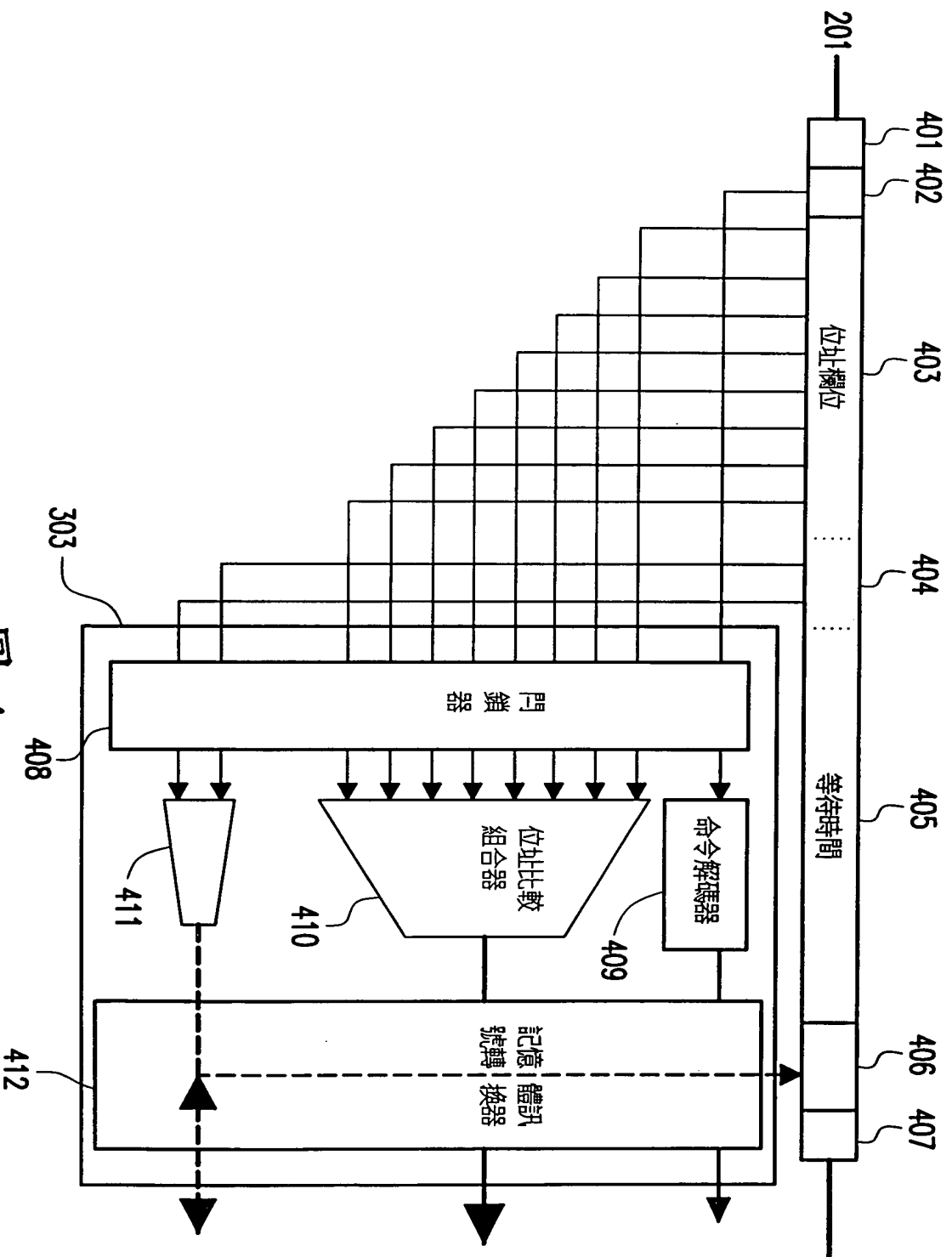


圖 4

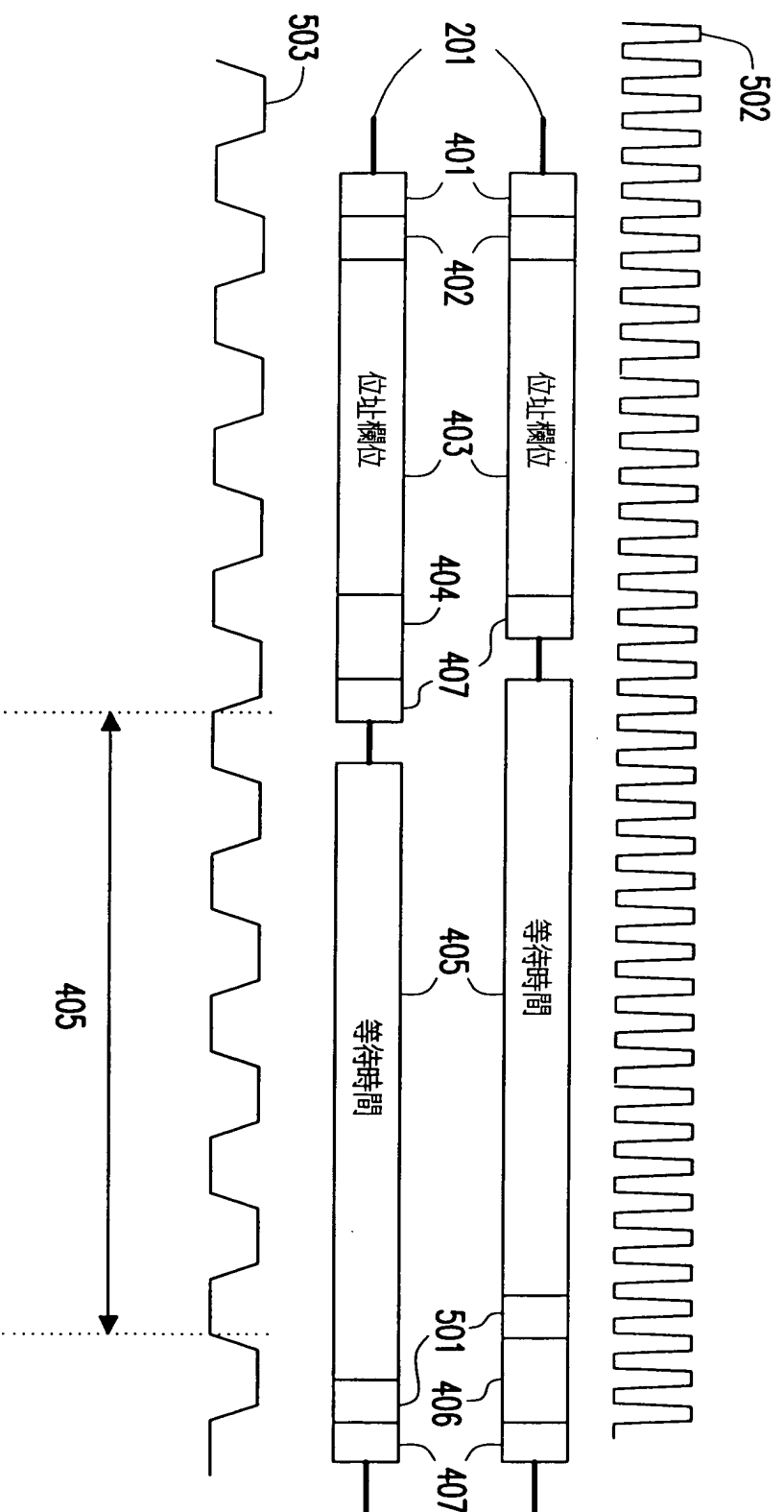


圖 5

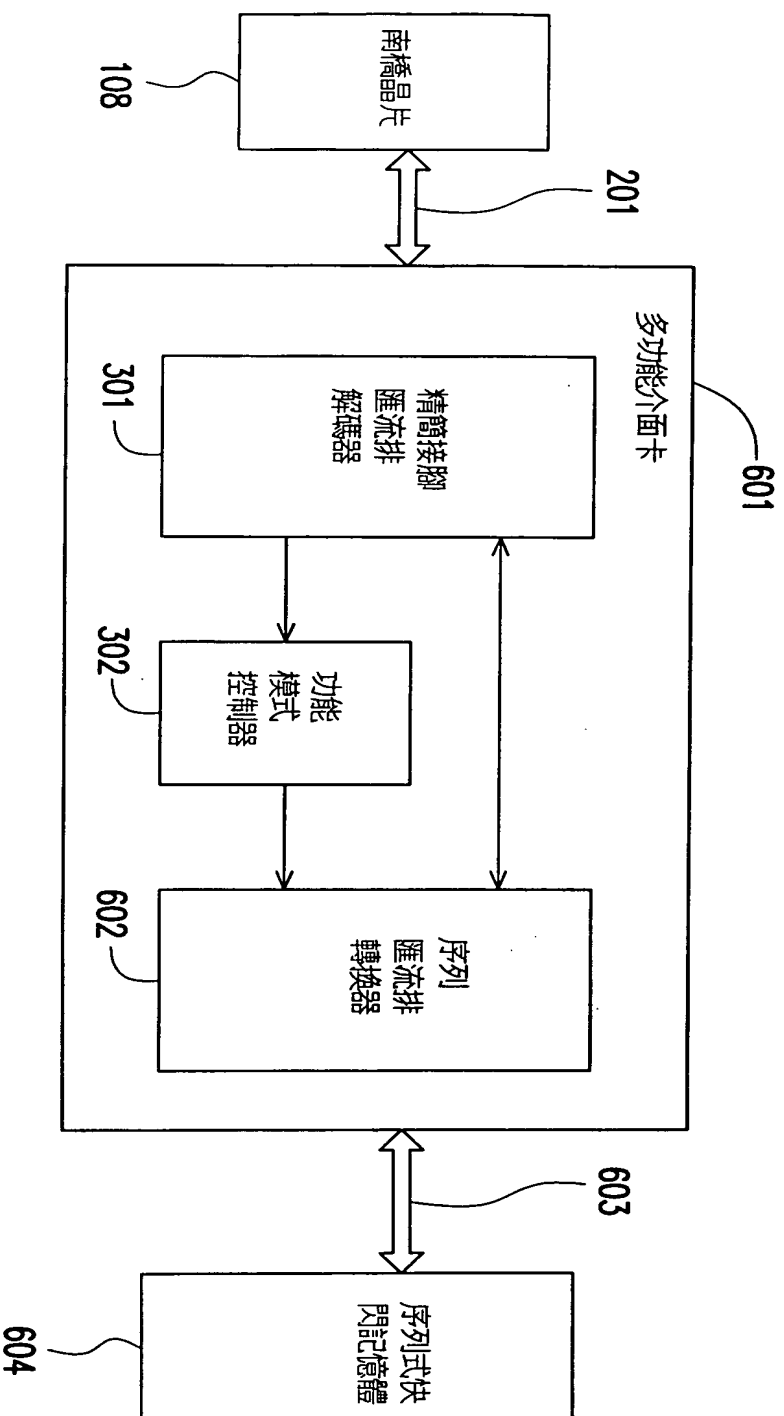


圖 6

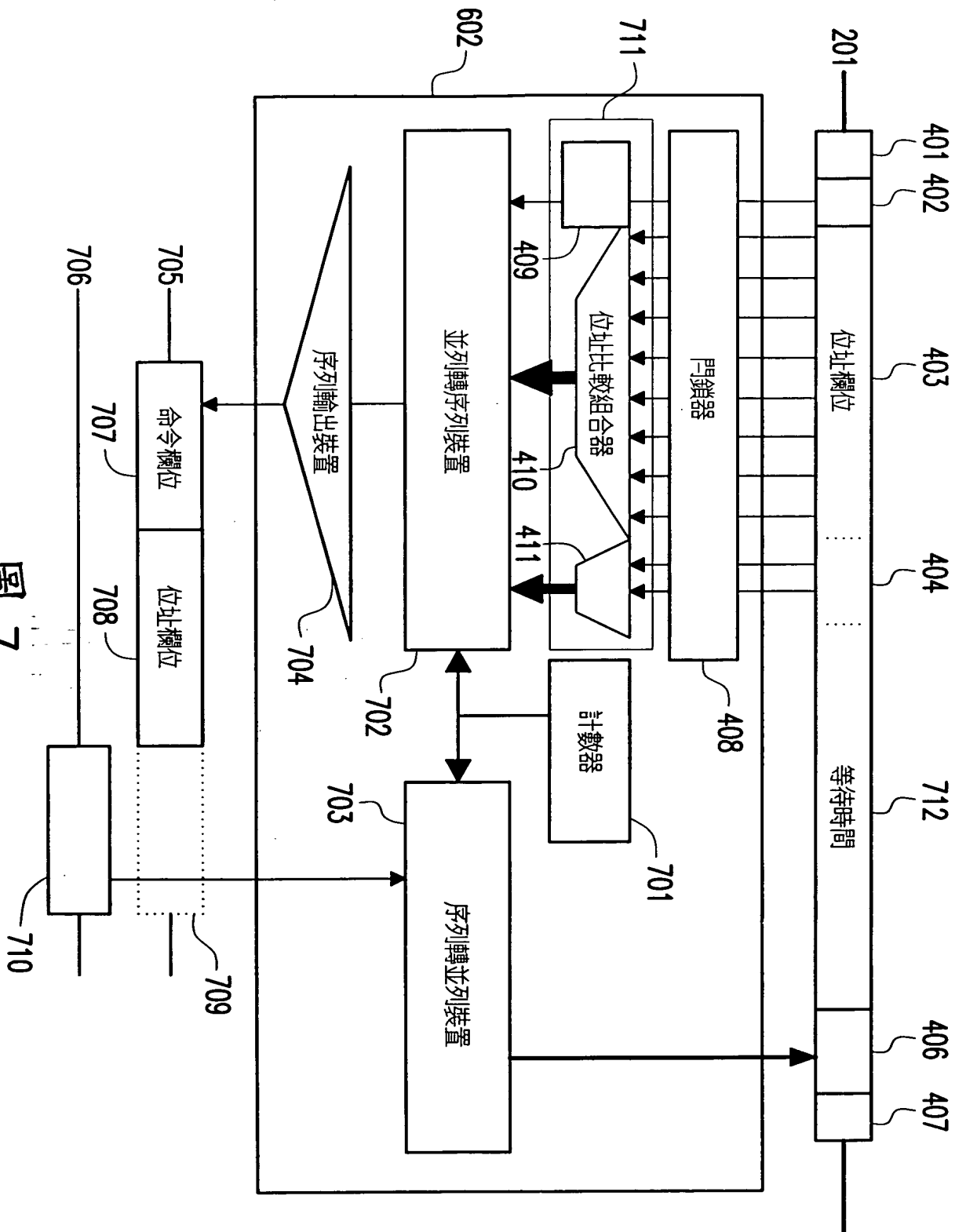


圖 7

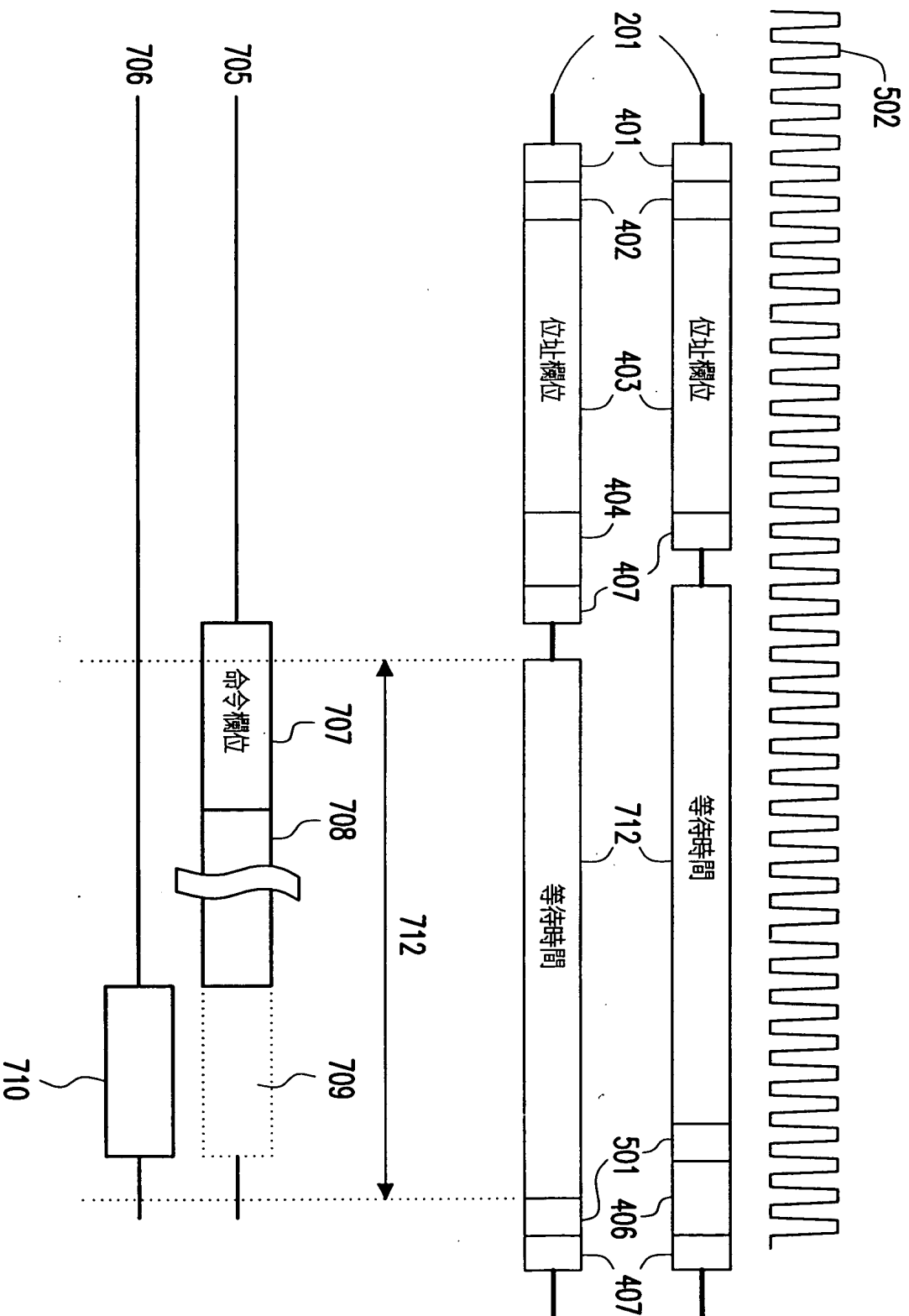


圖 8

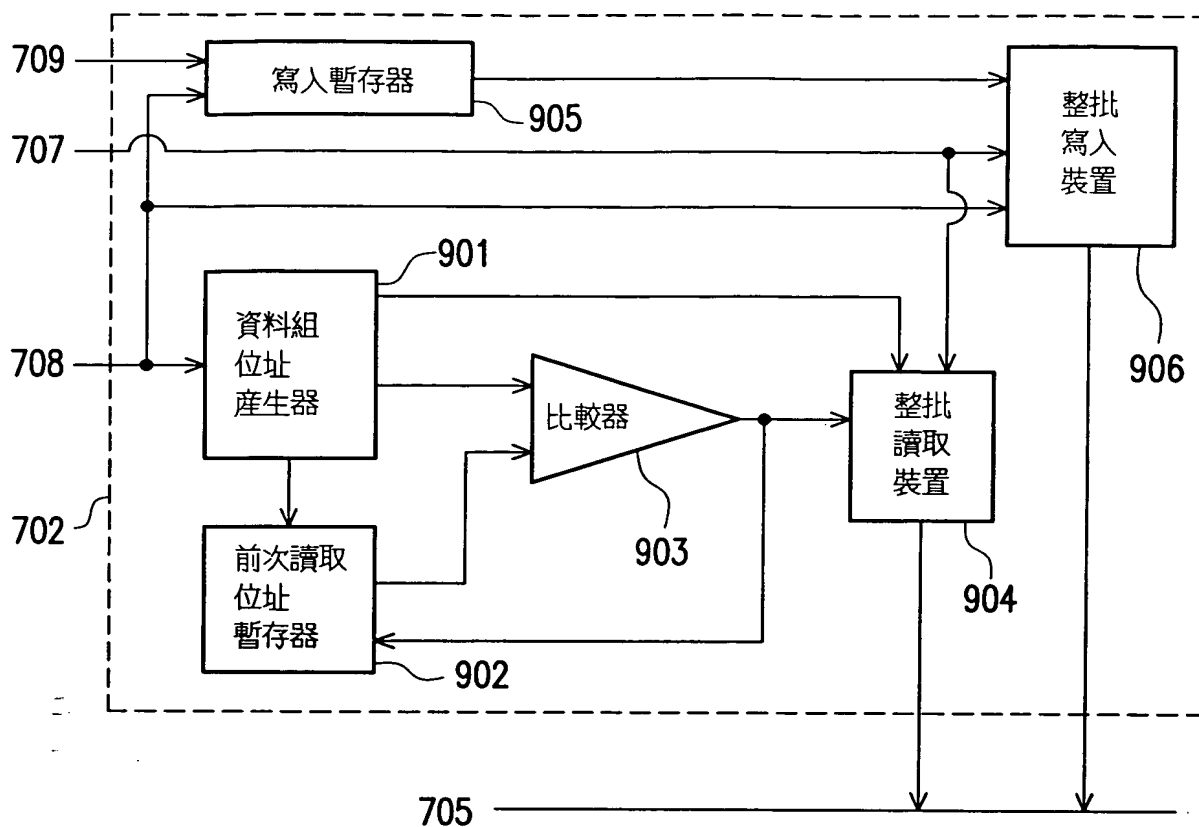


圖 9

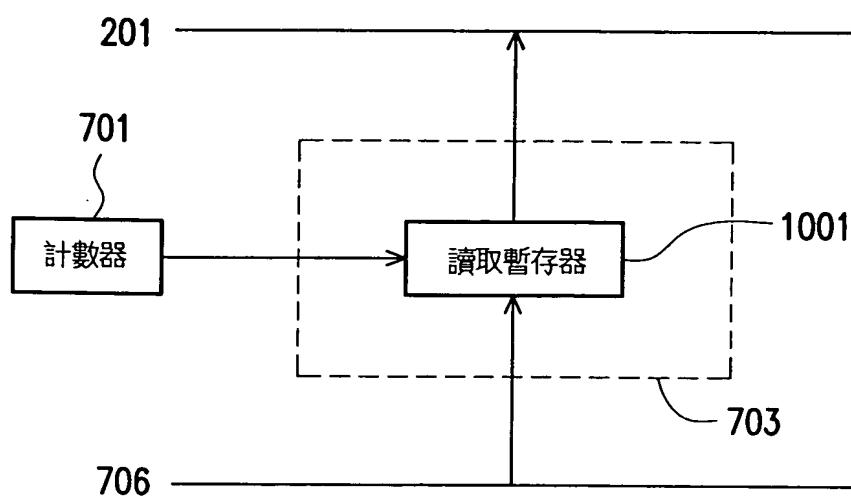


圖 10

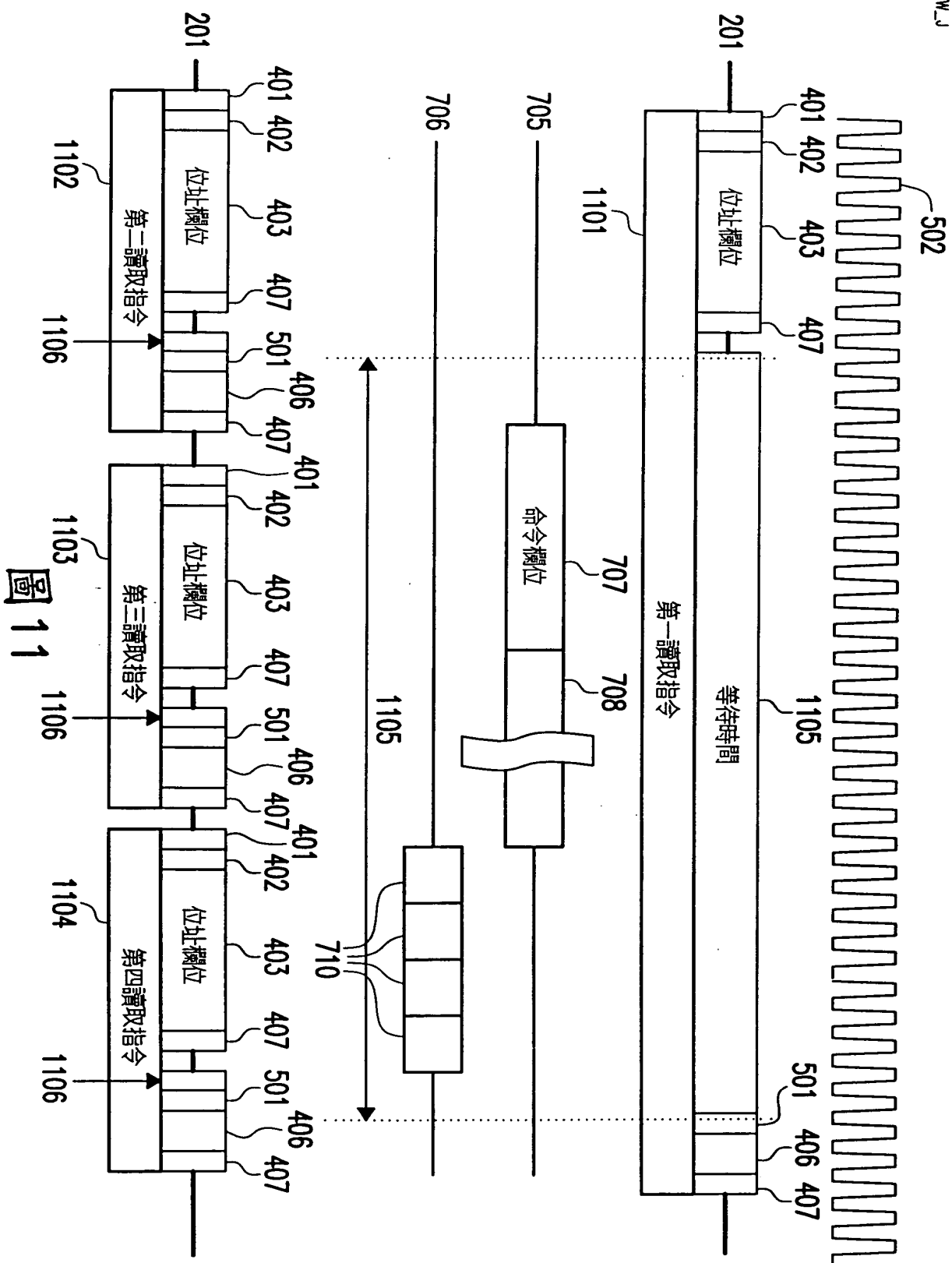
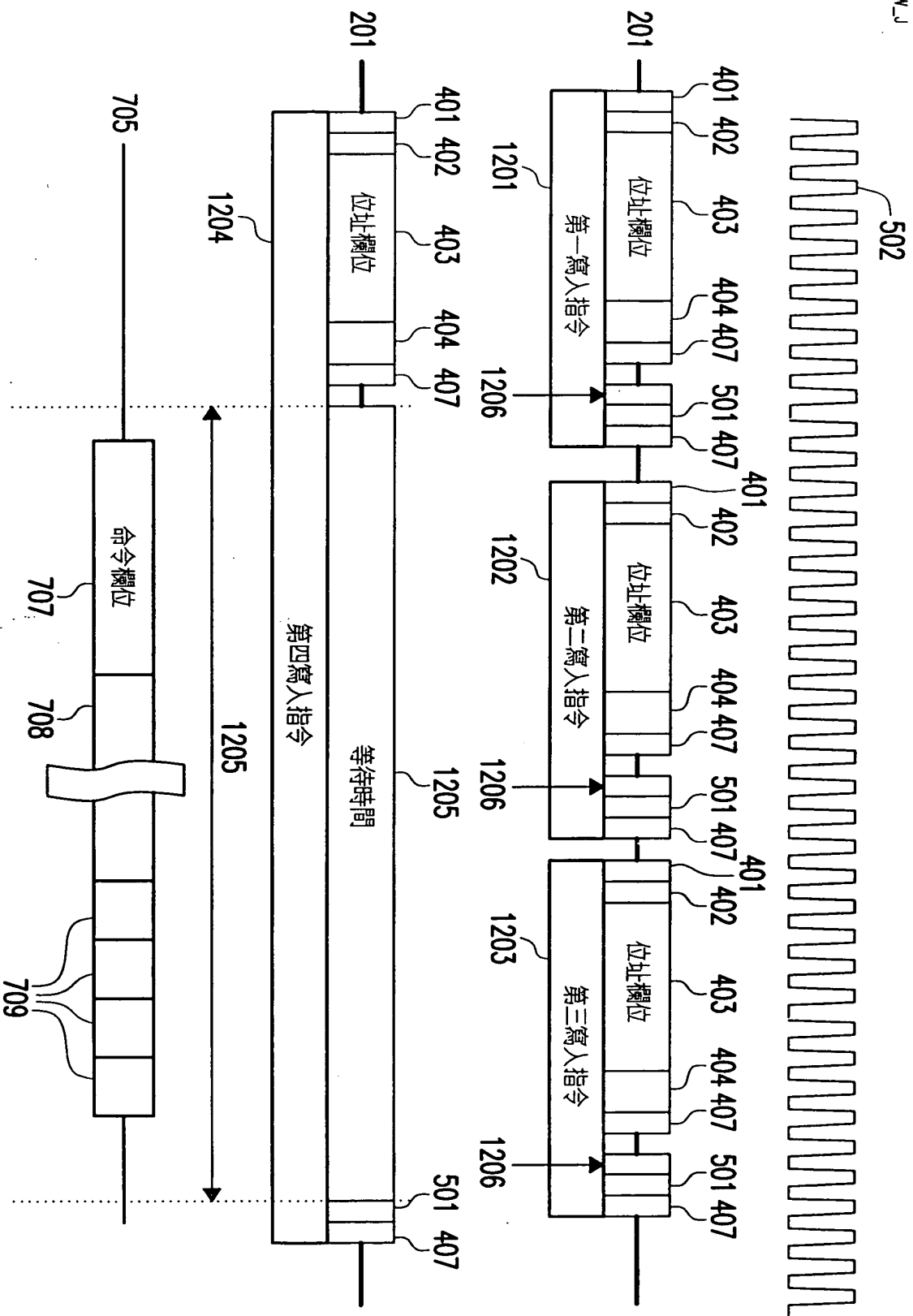


圖 11



12

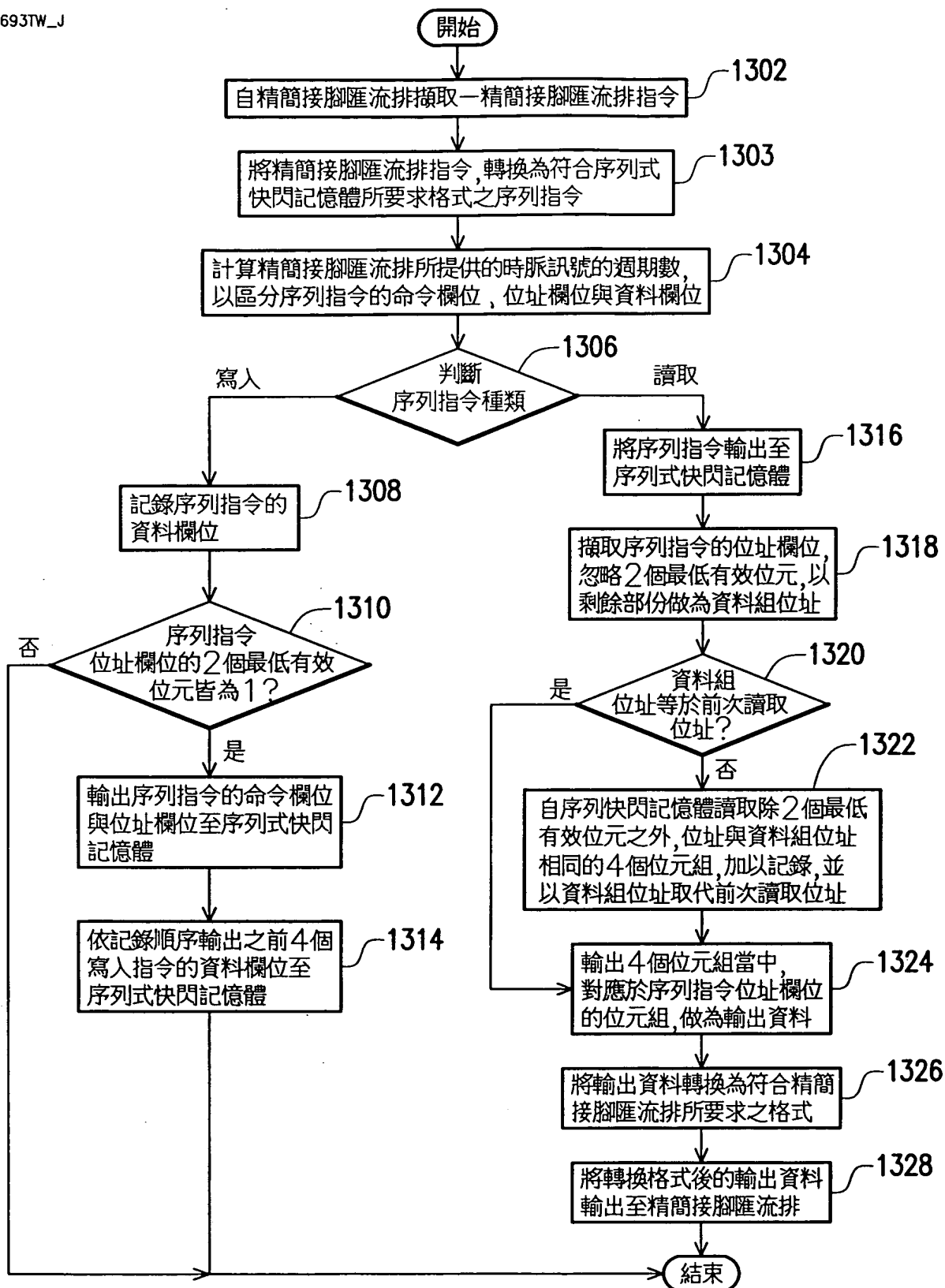


圖 13

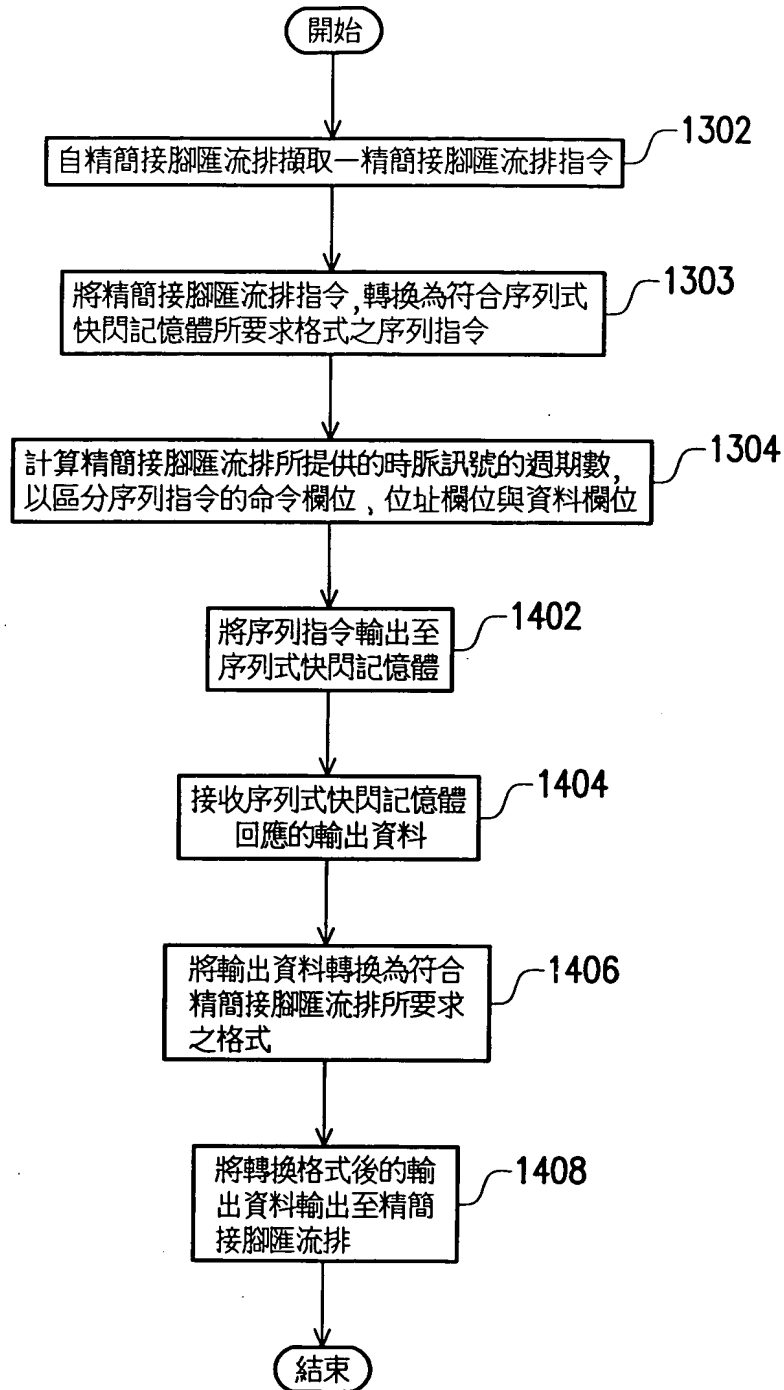
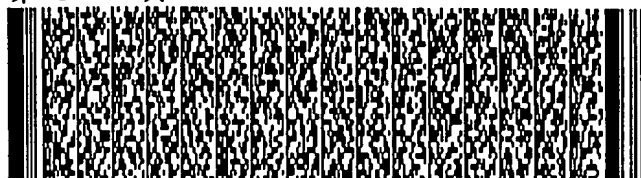


圖 14

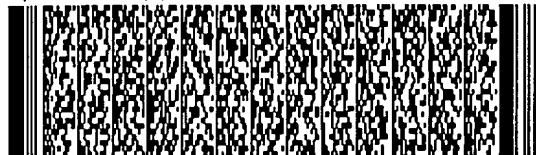
第 1/32 頁



第 2/32 頁



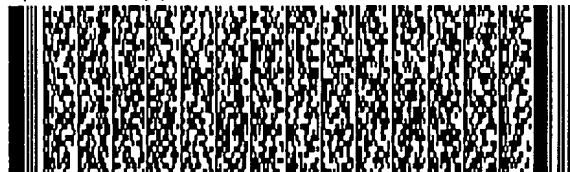
第 2/32 頁



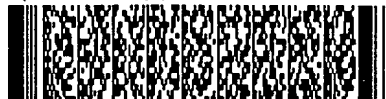
第 3/32 頁



第 4/32 頁



第 5/32 頁



第 6/32 頁



第 7/32 頁



第 7/32 頁



第 8/32 頁



第 8/32 頁



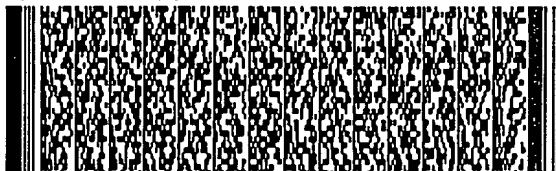
第 9/32 頁



第 9/32 頁



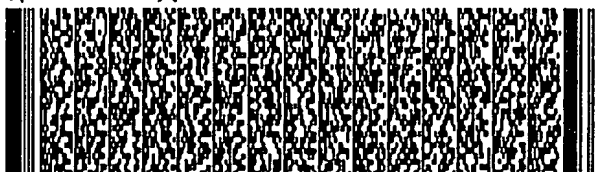
第 10/32 頁

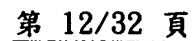


第 10/32 頁

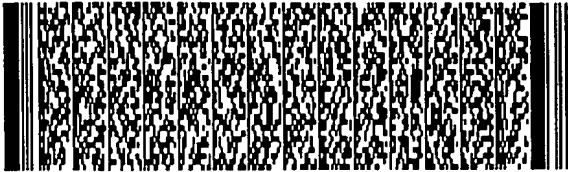


第 11/32 頁





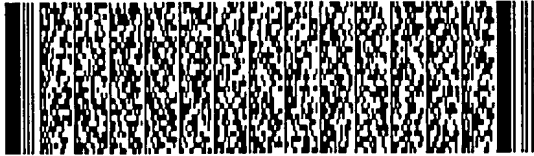
第 19/32 頁



第 20/32 頁



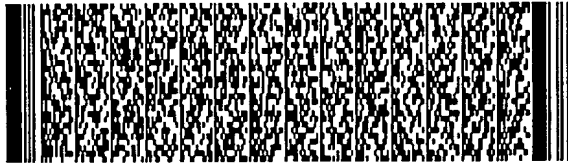
第 20/32 頁



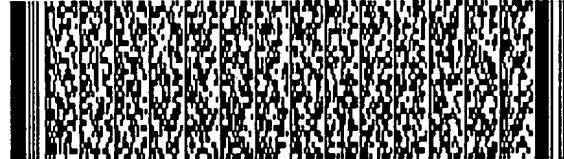
第 21/32 頁



第 22/32 頁



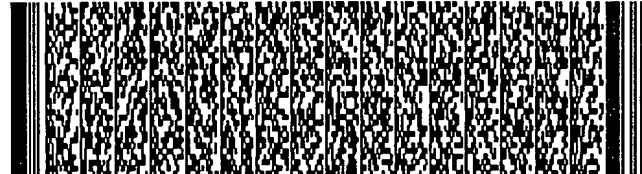
第 23/32 頁



第 24/32 頁



第 25/32 頁



第 26/32 頁



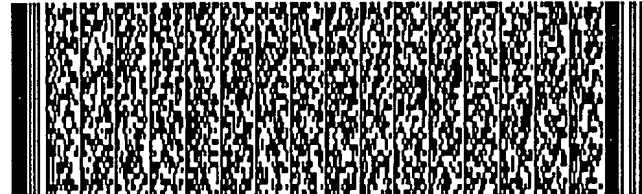
第 27/32 頁



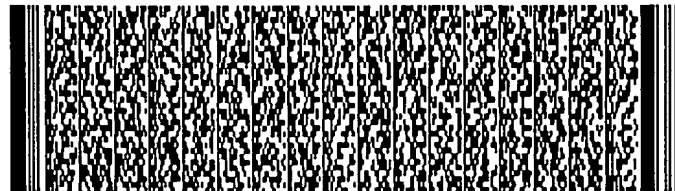
第 27/32 頁



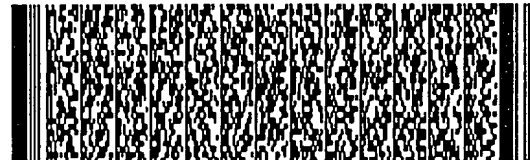
第 28/32 頁



第 29/32 頁



第 30/32 頁



第 30/32 頁



第 31/32 頁

